

增强型锁相环的启动优化和相频解耦改进算法*

何来沛, 郑寿森, 祁新梅, 黄玉和
(中山大学物理学院, 广东 广州 510275)

摘要: 锁相环结构中相位和频率紧密耦合, 在电网处于干扰或短时故障工况下, 同步频率的波动直接影响锁相的性能。基于假线性增强型锁相环 (pseudolinear enhanced phase-locked loop, PL-EPLL), 提出了一种适时解除相位和频率耦合的改进算法。该算法能够在设计锁频范围内, 增强频率同步的稳定性和抗干扰能力, 提高锁相的动态性能。另外, 针对 PL-EPLL 具有两个相位锁定状态的特点, 在算法实施上采用一种同步相位初始值优化设置, 在初始相位差较大的情况下能够有效提高锁相算法的启动速度。最后, 通过仿真和实验验证了改进算法的有效性。

关键词: 增强型锁相环; 假线性增强型锁相环; 相频解耦; 锁相启动

中图分类号: TM761 **文献标志码:** A **文章编号:** 0529-6579 (2020) 04-0064-10

Start-up optimization and phase-frequency decoupling strategy forenhanced phase-locked loop

HE Laipei, ZHENG Shousen, QI Xinmei, HUANG Yuhe

(School of Physics, Sun Yat-sen University, Guangzhou 510275, China)

Abstract: In this paper, a modified pseudolinear enhanced phase-locked loop (PL-EPLL) is proposed to improve the performance of PLL synchronization when the power grid is under non-ideal condition, such as disturbances and faults. The modification is based on a timely-decoupling strategy between the estimated phase-angle and the estimated frequency, for which in a designable frequency-locked range, the robustness of frequency synchronization is enhanced and the dynamic performance of PLL is improved. In addition, based on the feature that PL-EPLL has two different phase-locked points, an optimized setting of the initial value of the estimated phase-angle is introduced in this paper, which can statistically improve the start-up speed of the PL-EPLL algorithm. Finally, the feasibility of the proposed method has been verified by simulation and experimental results.

Key words: EPLL; PL-EPLL; phase-frequency decoupling; PLL start-up

锁相环 (PLL) 是一种能够获取电网相位和频率信息的同步检测算法, 广泛应用于并网逆变器、无功补偿装置、谐波补偿装置等并网型电力系统。作为并网装置的关键技术, 锁相环的同步精度、

响应速度、算法复杂度, 以及谐波、短时故障等非理想工况下的稳定性直接影响并网装置的性能^[1]。

传统单相锁相环^[2]由乘法鉴相器和低通滤波

* 收稿日期: 2019-07-10

基金项目: 广东省科技计划项目 (2017A050506023); 珠海市宽禁带半导体电力电子技术重点实验室项目 (20167612042080001)

作者简介: 何来沛 (1995 年生), 男; 研究方向: 并网逆变控制; E-mail: help3@mail2.sysu.edu.cn

通信作者: 郑寿森 (1963 年生), 男; 研究方向: 嵌入式系统设计、电力电子控制技术; E-mail: zhengshs@mail.sysu.edu.cn

器 (PI 控制器) 组成。由于乘法鉴相器的输出包含与实际相位差值同等数量级的二次谐波分量, 同步相位存在较大的稳态误差。虽然可以通过降低 PLL 的带宽来削弱该二次谐波分量的影响, 但同时也显著降低了 PLL 的响应速度。

二阶广义积分锁相环 (second order generalized integrator phase-locked loop, SOGI-PLL) [3-5] 是另一类广泛使用的锁相算法。对于单相系统, SOGI-PLL 可通过二阶广义积分器构造虚拟的正交相, 然后运用多相系统的同步旋转坐标系变换方法 (synchronous reference frame phase-locked loop, SRF-PLL) 来获取相位信息。针对电网频率偏移的问题, 文献 [6-8] 在 SOGI-PLL 的基础上, 提出了二阶广义积分锁频环 (second order generalized integrator frequency-locked loop, SOGI-FLL), 通过增加一个锁频环路实时调整 SOGI 的中心频率, 消除电网频率偏移带来的相位误差。基于 SOGI 结构的锁相算法具有较好的动态性能, 但算法复杂度较高: SOGI 环节本身无法独立完成锁相, 需要依赖 Park 变换来提取相位信息。除此之外, SOGI 在数字实现时存在输出信号不正交的难题, 在采样频率较低的场合锁相精度会受到不利影响 [3, 9]。

增强型锁相环 (enhanced phase-locked loop, EPLL) [10-11] 在传统单相锁相环的基础上增加了一个锁幅环路, 能够直接同步电网的相位、频率和幅值。文献 [12] 在 EPLL 的基础上, 提出了假线性增强型锁相环 (PL-EPLL), 利用得到的同步幅值对波形误差作标么化处理, 使得算法参数能够对不同幅值的输入信号作自适应调整; 同时整个系统能够用简洁的近似线性模型来描述。

上述锁相算法的一个共同点是: 用相位误差来估测电网频率的变化, 然后用得到的同步频率来计算同步相位。这种锁相结构的不足在于, 当电网因短时故障或干扰出现较大的相位和幅值突变时, 锁相系统的同步频率会产生较大的波动, 而实际的电网频率是一个相对稳定的状态量。这种波动直接导致相位锁定的延迟 [13-14]。

针对上述问题, 本文基于假线性增强型锁相环 (PL-EPLL), 提出了一种在锁相的暂态阶段解除相位和频率耦合的改进算法, 在设计锁频范围内能够保证锁相和锁频的精度, 同时有效地改善了系统在相位突变时的动态性能。另外, 在算法实施上, 针对 PL-EPLL 具有两个相位锁定状态的特点, 采用一种同步相位初始值优化设置, 能够

优化算法的相位收敛路径, 提高锁相的启动速度。

1 PL-EPLL 原理分析

假线性增强型锁相环 PL-EPLL 的结构框图如图 1 所示。

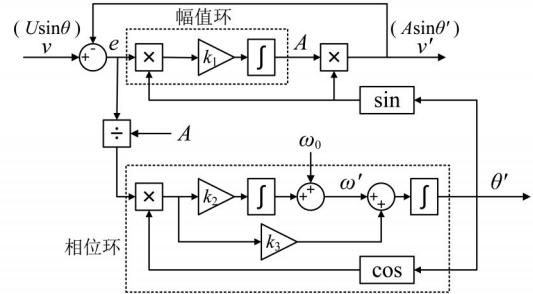


图1 PL-EPLL 结构

Fig. 1 Structure of PL-EPLL

图 1 中, v 为输入波形信号, v' 为 v 的基波同步波形, e 为波形误差; 记输入信号相位初始值为 θ_0 , 有 $v = U \sin \theta = U \sin (\omega t + \theta_0)$, U , ω , θ 分别为输入信号基波的幅值、频率和相位; A , ω' , θ' 分别为同步幅值、同步频率和同步相位。 ω_0 为电网标准频率, 一般取 314 rad/s (50 Hz)。该系统的微分方程表示如下:

$$\begin{cases} \dot{A} = k_1 e \sin \theta' \\ \dot{\omega}' = k_2 e \cos \theta' / A \\ \dot{\theta}' = \omega' + k_3 e \cos \theta' / A \end{cases} \quad (1)$$

式 (1) 表明, PL-EPLL 为高度非线性系统, 无法直接用传递函数和伯德图来描述。而文献 [12] 指出, 当 $k_1 = k_3 = k$ 且 $k_2 = 0$ 时, PL-EPLL 简化为精确的线性系统, 称之为线性增强型锁相环 (linear time invariant enhanced phase-locked loop, LTI-EPLL)。其微分方程表示如下:

$$\begin{cases} \dot{A} = k e \sin \theta' \\ \dot{\theta}' = \omega_0 + k e \cos \theta' / A \end{cases} \quad (2)$$

令 $v' = A \sin \theta'$, $v'_q = A \cos \theta'$, 对 v' 、 v'_q 分别求导, 有:

$$\begin{cases} \dot{v}' = \dot{A} \sin \theta' + \dot{\theta}' A \cos \theta' \\ \dot{v}'_q = \dot{A} \cos \theta' - \dot{\theta}' A \sin \theta' \end{cases} \quad (3)$$

把式 (2) 代入式 (3), 化简可得:

$$\begin{cases} \dot{v}' = \omega_0 v'_q + k e \\ \dot{v}'_q = -\omega_0 v' \end{cases} \quad (4)$$

对式 (4) 作拉氏变换, 可得如下传递函数:

$$\frac{V'(s)}{V(s)} = \frac{ks}{s^2 + ks + \omega_0^2} \quad (5)$$

$$\frac{V'_q(s)}{V(s)} = \frac{-k\omega_0}{s^2 + ks + \omega_0^2} \quad (6)$$

其中, 式 (5) 为同相波形 v' 对输入信号 v 的传递函数; 式 (6) 为正交相波形 v'_q 对 v 的传递函数, 二者的伯德图由图 2 给出。图 2 表明, LTI-EPLL 能够同时完成同相和正交相的波形跟踪, 且具有一定的滤波能力。参数 k 越小, 系统带宽就越小, 滤波能力越强; 同时系统也会因为阻尼的减小导致更大的超调和振荡。根据典型二阶系统的阶跃响应特征方程 $s^2 + 2\zeta\omega_n s + \omega_n^2 = 0$, 对于式 (5) 和式 (6) 有 $k = 2\zeta\omega_n$, $\omega_0 = \omega_n$ 。50 Hz 电网锁相应用中, 参数 ω_0 取 314 rad/s; 参数 ζ 为阻尼比, 选取最佳值 0.707, 即 $k = 444$ 时, 系统具有较好的动态性能。

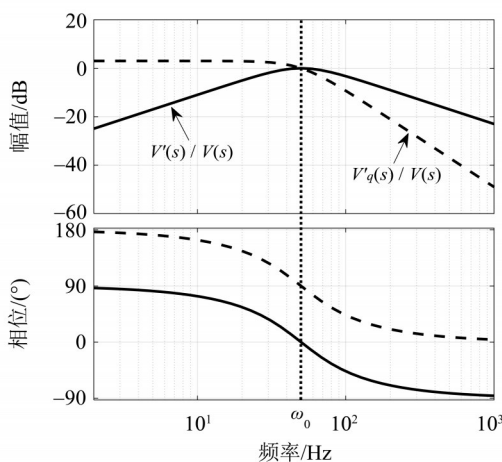


图 2 LTI-EPLL 伯德图

Fig. 2 Bode diagram of LTI-EPLL

LTI-EPLL 从波形输入到波形输出具有精确的线性模型, 但由于幅值环和相位环之间的非线性耦合关系, 同步幅值和同步相位无法直接用传递函数来描述^[12]。这种非线性耦合使得 LTI-EPLL 存在两个锁定状态, 即: $A = U$, $\theta' = \theta$ 和 $A = -U$, $\theta' = \theta \pm \pi$ 。二者对应的实际上是同一个同步波形 v' , 但具体的收敛路径却有很大区别。

传统 PLL、EPLL 中不存在幅值收敛于负值, 相位收敛于反相的锁定状态。这是因为传统 PLL 的鉴相器输出值总是与相位误差信号 $\sin\Delta\theta$ 的符号趋于一致, 同步相位总是往输入相位的方向收敛。而 LTI-EPLL 的鉴相器输出值为 $\cos\theta'/A$, 在近似条件下该数值与 $\sin\Delta\theta/A$ 的符号趋于一致。因此,

同步幅值 A 的符号正负很大程度上决定了 LTI-EPLL 同步相位的收敛方向。而 A 的符号在锁相的启动时刻以及失锁后的重启时刻是未知的, 这意味着 LTI-EPLL 可从一个锁定状态跳跃到另一个锁定状态。在某些情况下, 这种跳跃能够提供更快速、更稳定的收敛路径, 提高锁相的响应速度。该特点在锁相的启动阶段带来的提升最为明显, 因此可以通过合理设置同步相位的初始值来优化收敛路径。

LTI-EPLL 实际上是将 PL-EPLL 的频率锁定范围限定在 $\omega_0 = 314$ rad/s 的特殊情况, 该模型能够准确描述增强型锁相环的波形跟踪性能以及相位幅值锁定特点, 这对 PL-EPLL ($k_2 \neq 0$ 时) 的分析和参数整定都具有指导意义。LTI-EPLL 不具备锁频能力, 一旦输入信号的频率偏离了 ω_0 , 同步波形和同步相位就会出现较大的稳态误差。因此, 为满足锁频的需要, PL-EPLL 的锁频环积分器增益 k_2 不应为零, 该积分环节可以修正中心频率 ω_0 , 消除实际应用中电网频率偏移带来的稳态误差。

2 PL-EPLL 优化与改进

2.1 锁相启动初值优化设置

锁相启动时刻, 同步幅值 A 以 A_0 作为积分起点。PL-EPLL 算法本身具有幅值自适应的特点, 适用于各种幅值大小的输入信号, 因此 A_0 应当设置为 0。同步相位 θ' 以 θ'_0 作为积分起点, 对于传统 PLL 算法, 该积分起点并不重要; 但对于 PL-EPLL 来说, 该初始值直接影响系统的收敛路径。

图 3 的单位圆示意图能够直观地描述 PL-EPLL 的相位差收敛路径。其中, 图 3 (a) 为传统 PLL、EPLL 的收敛路径; (b) 和 (c) 是 PL-EPLL 最典型的两种收敛路径。单位圆上的任意一点对应的角度为相位差 $\Delta\theta$ ($\Delta\theta = \theta - \theta'$), 取值范围为 $(-\pi, \pi]$; A、B 两点分别代表 PL-EPLL 的两个相位差收敛终点 0 和 $\pm\pi$; 箭头表示收敛方向。显然, 图 3 (b) 的收敛路径与图 3 (a) 在统计意义上没有实质性区别; 而图 3 (c) 在第 2、4 象限的收敛路径在统计意义上能够缩短 50%。可以证明, 当同步相位初始值 θ'_0 设置为 $\pm\pi/2$ 时, PL-EPLL 的收敛路径与图 3 (c) 一致。

首先对 PL-EPLL 相位环路的鉴相器输出值 $e\cos\theta'/A$ 展开, 有:

$$\frac{e}{A} \cos\theta' = \frac{U \sin(\theta - \theta')}{2A}$$

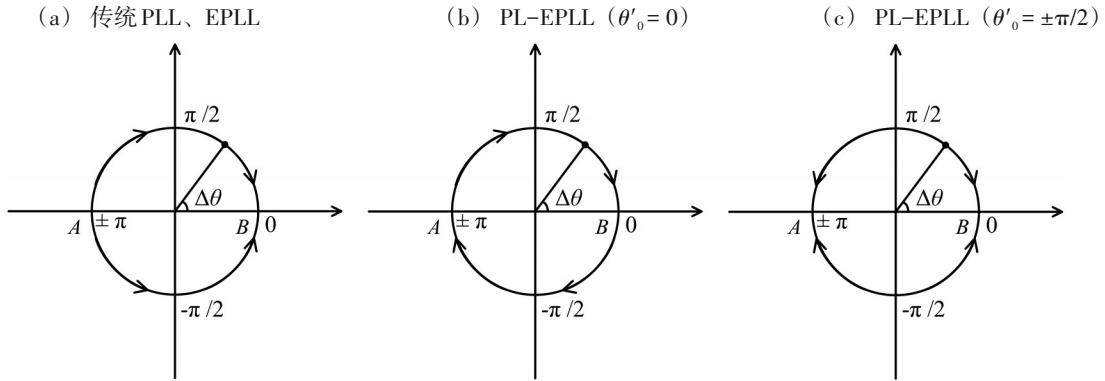


图3 锁相启动的相位差收敛路径示意图

Fig. 3 Phase-difference convergent path of PLL start-up

$$+ \left[\frac{1}{2} \frac{U}{A} \sin(\theta + \theta') - \frac{1}{2} \sin(2\theta') \right] \quad (7)$$

式(7)的后两项为高频项。无论PL-EPLL系统进入哪一个锁定状态, 高频项总是收敛为0, 对系统的收敛路径没有影响。因此, 忽略两项高频项, 有:

$$\frac{e}{A} \cos \theta' \approx \frac{U \sin \Delta \theta}{2 A} \quad (8)$$

式(8)表明, 当 $A > 0$ 时, $e \cos \theta' / A$ 与 $\sin \Delta \theta$ 的符号一致, θ' 将往 θ 的方向收敛, 相位差 $\Delta \theta$ 最终收敛为0; 当 $A < 0$ 时, $e \cos \theta' / A$ 与 $\sin \Delta \theta$ 的符号相反, θ' 将逐渐远离 θ , 直至 $\Delta \theta$ 最终收敛于反相 $+\pi$ 或 $-\pi$ 。

锁相启动时刻, 同步幅值 $A_0 = 0$ 。由式(1)已知, 同步幅值的瞬时变化率 \dot{A} 与 $e \sin \theta'_0$ 成正比。因此, 当 $e \sin \theta'_0 > 0$ 时, A 将往正值收敛; 反之, A 将往负值收敛。对 $e \sin \theta'_0$ 展开, 有:

$$\begin{aligned} e \sin \theta'_0 &= (U \sin \theta_0 - A_0 \sin \theta'_0) \sin \theta'_0 \\ &= (U \sin \theta_0 - 0) \sin \theta'_0 = U \sin \theta_0 \sin \theta'_0 \quad (9) \end{aligned}$$

把 $\Delta \theta_0 = \theta_0 - \theta'_0$ 代入式(9), 消去 θ_0 , 化简如下:

$$\begin{aligned} e \sin \theta'_0 &= U \sin(\theta'_0 + \Delta \theta_0) \sin \theta'_0 \\ &= U (\cos \Delta \theta_0 \sin^2 \theta'_0 + \sin \Delta \theta_0 \sin \theta'_0 \cos \theta'_0) \quad (10) \end{aligned}$$

对于任意的 $\cos \Delta \theta_0 > 0$, 即 $\Delta \theta_0 \in (-\pi/2, \pi/2)$, 当且仅当 $\cos \theta'_0 = 0$ 即 $\theta'_0 = \pm \pi/2$ 时, $e \sin \theta'_0 > 0$ 恒成立; 而对于任意的 $\cos \Delta \theta_0 < 0$, 即 $\Delta \theta_0 \in (-\pi, -\pi/2) \cup (\pi/2, \pi)$, 当且仅当 $\cos \theta'_0 = 0$ 即 $\theta'_0 = \pm \pi/2$ 时, $e \sin \theta'_0 < 0$ 恒成立。

综上所述, 在锁相启动阶段, 若把同步相位初始值 θ'_0 设置为 $\pi/2$, 当输入信号的初始相位 θ_0 位于 $[0, \pi)$ 区间时, PL-EPLL最终将锁定到 $A =$

U , $\theta' = \theta$ 的稳定状态; 当 θ_0 位于 $[-\pi, 0)$ 区间, PL-EPLL最终将锁定到 $A = -U$, $\theta' = \theta \pm \pi$ 的稳定状态。这样可以保证系统在任意输入初相下启动都能选择最短的收敛路径, 响应速度因此得到提高。

需要说明的是, 实际锁相中需要得到的是同相相位, 因此对于第二种锁定状态($A = -U$, $\theta' = \theta \pm \pi$), PL-EPLL直接锁定的是输入相位的反相点, 在程序中可通过判断同步幅值 A 的符号正负, 把 θ' 修正为同相相位。

2.2 PL-EPLL相频解耦改进

如前所述, LTI-EPLL是PL-EPLL忽略频率偏移的简化线性模型, 理论锁定时间为 $2\pi/\omega_0$ ^[15], 即一个工频周期20 ms; 考虑频率偏移的PL-EPLL的理论锁定时间则能达到40 ms (参数 k_2 取 $k_3^2/4$, 详见第3部分)。可见, 添加对中心频率 ω_0 的偏移修正对系统动态性能的影响比较大, 这种影响是PLL结构的主要不足, 根本原因在于锁相和锁频之间的耦合关系。当系统处于启动阶段或受到强干扰的情况下, 较大的相位误差将导致PL-EPLL的输出频率 ω' 大幅度超调, 进而引起整个系统锁定的延迟。尤其是锁相启动阶段, PL-EPLL的同步幅值 A 尚未收敛于稳态值, 此时相位环的鉴相器输出值 $e \cos \theta' / A$ 将远大于当前实际的相位误差, 输出频率 ω' 的超调量将变得更大。

改进这项不足的主要思路是适时进行相频解耦, 在不同阶段充分发挥LTI-EPLL的动态性能优势和PL-EPLL锁频环积分的稳态跟踪能力。在锁相的暂态阶段让系统维持固定的中心频率 ω_0 , k_2 设为零, 整个系统迅速收敛到稳态附近; 当系统进入稳态时, 同步幅值和相位差都已处于稳态值的附近, 耦合的幅值环和相位环之间的互相影响也

大大减弱,此时恢复 k_2 的原设定值,锁频环积分器发挥作用,消除同步相位的稳态误差。

应用该相频解耦策略的关键是判断系统何时进入稳态。传统 PLL 结构缺乏精确的传递函数模型,要实现这一点相对困难^[14];LTI-EPLL 则为相频解耦的简单实现带来新的思路。当 $\omega \neq \omega_0$ 时,LTI-EPLL 进入稳态阶段后,根据式(5)波形传递函数的相频特性,同步相位的稳态误差为:

$$\angle \frac{V'(j\omega)}{V(j\omega)} = \arctan\left(\frac{\omega_0^2 - \omega^2}{k\omega}\right) \quad (11)$$

显然, ω 与中心频率 ω_0 的偏差越大,稳态相位误差就越大。国家标准《电能质量-电力系统频率偏差》^[16]规定:电力系统正常运行条件下频率偏差限值为 ± 0.2 Hz;当系统容量较小时,偏差限值可以放宽到 ± 0.5 Hz。若再放宽一些,假设输入信号频率的最大偏差范围是 ± 5 Hz,即 45 ~ 55 Hz,由式(11)可得 LTI-EPLL 稳态相位误差的最大波动范围 $\Delta\theta_{\max} \approx \pm 0.15$ rad。当相位误差信号进入该波动范围以内,表明系统进入稳态。另一方面,由于 PL-EPLL 的幅值自适应特点,相位环的鉴相器输出值 $e\cos\theta'/A$ 在稳态附近相当准确地表征了当前系统的相位误差。因此,可对 PL-EPLL 算法作以下调整:

$$\begin{cases} k_2 = 0, & \left| \frac{e}{A} \cos\theta' \right| > \sin(\Delta\theta_{\max}) \\ k_2 = \frac{k_3^2}{4}, & \left| \frac{e}{A} \cos\theta' \right| \leq \sin(\Delta\theta_{\max}) \end{cases} \quad (12)$$

理论上,改进型 PL-EPLL 的动态性能将更加接近 LTI-EPLL,同时能够保证 45 ~ 55 Hz 的输入频率偏差范围内,同步相位无稳态误差。考虑到一般应用场合电网频率的偏差范围更小(± 0.5 Hz),在使用时可以根据实际情况,合理降低相位误差阈值,获得更短的锁定时间。

3 控制参数整定

参数 k_2 的整定需要单独分析 PL-EPLL 的相位环路,首先需要解除幅值环和相位环之间的耦合^[12]。假设幅值环已经达到稳态,即 $A = U$ 或 $A = -U$ 。对式(8)作小信号线性近似,有:

$$\begin{cases} \frac{e}{A} \cos\theta' \approx \frac{1}{2} \Delta\theta, A = U \\ \frac{e}{A} \cos\theta' \approx \frac{1}{2} (\Delta\theta \pm \pi), A = -U \end{cases} \quad (13)$$

注意同步相位存在两个锁定状态,因此小信号线性近似也有两种形式。把式(13)代入式

(1)作拉氏变换,得到同步相位 θ' 对输入相位 θ 的线性近似传递函数:

$$\begin{cases} \frac{\theta'(s)}{\theta(s)} = \frac{\frac{k_3}{2}s + \frac{k_2}{2}}{s^2 + \frac{k_3}{2}s + \frac{k_2}{2}}, A = U \\ \frac{(\theta' \pm \pi)(s)}{\theta(s)} = \frac{\frac{k_3}{2}s + \frac{k_2}{2}}{s^2 + \frac{k_3}{2}s + \frac{k_2}{2}}, A = -U \end{cases} \quad (14)$$

可以看出,式(14)与传统 PLL 的小信号模型一致,能够近似地描述 PL-EPLL 的锁相性能。据此,可在 LTI-EPLL 的基础上对参数 k_2 进行整定。对 k_1 和 k_3 ,以整个系统的波形跟踪性能作为整定目标,参见式(5)的二阶传递函数,即令 $k_1 = k_3 = k = 444$;对 k_2 ,则以式(14)的锁相环路二阶传递函数模型作为整定目标。同样地,根据典型二阶系统的阶跃响应特征方程 $s^2 + 2\zeta\omega_n s + \omega_n^2 = 0$,对于式(14)有 $k_3/2 = 2\zeta\omega_n$, $k_2/2 = \omega_n^2$ 。阻尼比 ζ 同样取 0.707,可得 $k_2 = k_3^2/4 = 49\,298$ 。此时式(14)的相位环自然频率 $\omega_n = \omega_0/2$,意味着对于 50 Hz 的输入信号,PL-EPLL 的同步相位大约在两个工频周期即 40 ms 左右完成锁定。

4 仿真实验与分析

利用 MATLAB/Simulink 软件平台搭建了 PL-EPLL 和改进型 PL-EPLL 的仿真模型。模型参数采用固定步长离散算法,仿真步长为 5×10^{-5} s;3个离散时间积分器均采用前向欧拉法求解。输入正弦信号有效值 220 V,幅值 $U = 311$ V,频率 $\omega = 50$ Hz;加入均值为 0,方差为 48.4 的高斯白噪声,信噪比为 30 dB。参数 k_1 、 k_3 取 444, k_2 取 49 298,中心频率取 $\omega_0 = 50$ Hz。

4.1 锁相启动优化验证和分析

同步幅值初始值 A_0 设置为 0,同步相位初始值 θ'_0 采用优化方案设置为 $\pi/2$ 。设计 12 个具有不同初始相位的输入信号作为对照组,对 PL-EPLL 的锁相启动过程进行仿真,结果如图 4 所示。

图 4 表明,当初始相位差 $|\Delta\theta_0|$ 较小,即 $\Delta\theta_0 \in [-\pi/2, \pi/2)$ 时,PL-EPLL 的同步相位 θ' 最终锁定到 θ ,稳态相位差为 0;与此同时,同步幅值 A 最终锁定到正值,即 $A = U = 311$ V。而当 $|\Delta\theta_0|$ 较大,即 $\Delta\theta_0 \in [-\pi, -\pi/2) \cup [\pi/2, \pi)$ 时, θ' 最终锁定到 θ 的反相,稳态相位差为 $\pm\pi$;与此同时, A 最终锁定到负值,即 $A = -U = -311$ V。以上结果

与图3(c)的收敛路径一致。

对 $\theta'_0 = 0$ 的常规设置方案作同样的仿真测试, 仿真结果和图3(b)的收敛路径一致。图5(a)给出了两种方案在12种初相下启动的相位差响应时间对比。可以看出, 当 $\Delta\theta_0$ 处于第1、3象限时, 两者响应速度接近, 常规方案相对快一些; 当 $\Delta\theta_0$ 处于第2、4象限时, 优化方案的收敛路径均比常规方案短, 响应速度提升非常明显。由于篇幅限制, 图5(b)仅展示 $\Delta\theta_0 = 5\pi/6$ 时两种设置方案的相位差响应曲线。可以看出, 常规方案的相位差

收敛到0, 而优化方案的则收敛到 π 。这意味着优化方案的收敛路径长度仅为常规方案的1/5。常规方案和优化方案的响应时间分别为23.75 ms和17.5 ms。

总体而言, 常规方案的平均响应时间为22.29 ms, 优化方案则为20.21 ms, 启动速度提升了大约10%。该结果表明, 采用优化设置方案的PL-EPLL能够充分利用其具有两个锁定状态的特点, 选择最短的收敛路径, 从而提高锁相启动的响应速度。

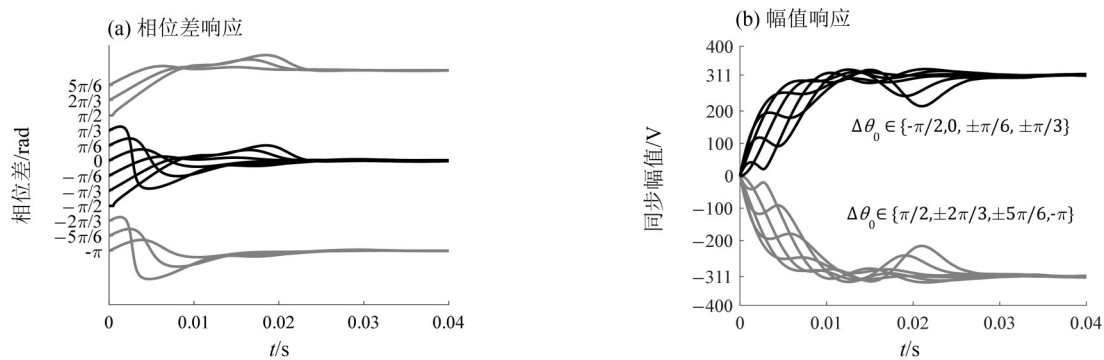


图4 PL-EPLL启动过程仿真波形 ($\theta'_0 = \pi/2$)

Fig. 4 Simulation waveforms of PL-EPLL start-up ($\theta'_0 = \pi/2$)

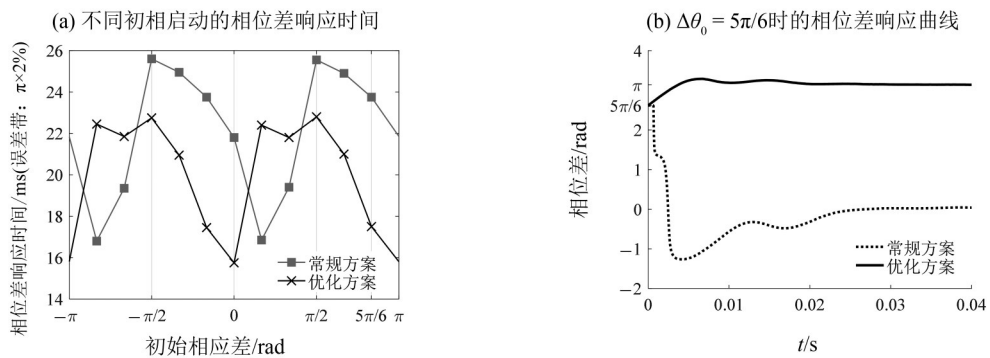


图5 两种设置方案的启动响应性能对比

Fig. 5 Start-up performance comparison between two initial schemes

4.2 相频解耦改进PL-EPLL仿真及分析

改进型PL-EPLL仿真模型沿用前面的初值优化方案; 相位误差阈值 $\sin(\Delta\theta_{\max})$ 设置为0.15, 锁频范围45~55 Hz。首先对改进型PL-EPLL的启动过程进行仿真; 相位完成锁定后, 在0.1 s仿真时刻给正弦输入信号分别引入相位突变、幅值跌落以及频率突变, 模拟极端的电网短时故障及干扰工况。作为对照组的PL-EPLL以及LTI-EPLL模型的各项参数与改进型PL-EPLL保持一致。

图6(a)为初始相位差 $\Delta\theta_0 = \pi/2$ 时, 改进型

PL-EPLL锁相启动过程的各项响应曲线。可以看出, 改进型PL-EPLL在锁相启动后的10 ms内以固定频率 ω_0 执行快速锁相 ($k_2 = 0$); 在10 ms以后逐渐完成精准的锁相及锁频。PL-EPLL同步频率的超调量为18 Hz; 而改进型PL-EPLL仅为2 Hz。同步频率越稳定, 锁相系统在电网发生短时故障情况下失锁的概率就越低, 锁相的响应速度也越快。以 π 的2%作为误差带, 由相位差响应曲线得到PL-EPLL和改进型PL-EPLL响应时间分别为23 ms和11 ms。

图 6 (b) 为改进型 PL-EPLL 在相位突变下的各项响应曲线, 相位突变值 $\Delta\theta = \pi/2$ 。可以看到, 频率响应曲线同样存在一段定频过程。PL-EPLL 同步频率的超调量达到 25 Hz, 而改进型 PL-EPLL 仅为 4 Hz。相位差响应速度方面, PL-EPLL 的响应时间为 27 ms, 而改进型 PL-EPLL 只需要 25 ms。

图 6 (c) 为改进型 PL-EPLL 在幅值突变下的各项响应曲线, 跌落幅度达到 75%, 即输入信号的幅值从 311 V 突然下降到 78 V。整个响应过程中, PL-EPLL 同步频率的超调量达到 15 Hz; 而改进型 PL-EPLL 仅为 2 Hz。相位差响应速度方面, PL-EPLL 的响应时间为 31 ms; 而改进型 PL-EPLL 只需要 20 ms。

图 6 (d) 为改进型 PL-EPLL 在频率突变下的各项响应曲线, 频率从 50 Hz 突变到 55 Hz。以 55

Hz 的 2% 作为误差带, 频率响应时间为 12 ms; 相位差响应时间则为 11 ms。该结果表明, 在设计锁频范围内, 改进型 PL-EPLL 具有与 PL-EPLL 一致的锁频能力。相比之下, LTI-EPLL 只能以固定频率 ω_0 执行锁相, 无法应对电网出现频率偏差的工况, 同步相位存在稳态误差。

改进型 PL-EPLL 可根据实际需要灵活设计锁频范围。表 1 给出了改进型 PL-EPLL 在不同设计锁频范围下启动性能的仿真测试对比, 测试数据同样基于 12 个不同初相的对照组。结果表明, 锁频范围越窄, 改进型 PL-EPLL 的响应速度越快, 频率同步的稳定性也越好。当锁频范围设计为 ± 5 Hz 时, 改进算法的性能提升已经非常明显: 相位差响应速度相比 PL-EPLL 提升 32.5%; 频率超调量减小 85.5%。

表 1 启动性能仿真测试对比

Table 1 Simulation test of PLL start-up performance

模型	设计锁频范围/Hz	相位误差阈值 $\sin\Delta\theta_{\max}$	相位差平均响应 时间/ms	频率平均超调量/Hz
LTI-EPLL	0	—	11.87	0
改进型 PL-EPLL	± 0.5	0.015	11.89	0.42
改进型 PL-EPLL	± 5	0.15	13.64	2.18
改进型 PL-EPLL	± 10	0.31	20.15	6.36
PL-EPLL	$\pm\infty$	—	20.21	15.04

5 实验验证

搭建了基于 TMS320 F28335 型号 DSP 芯片的实验平台, 对改进型 PL-EPLL 锁相算法作进一步的实验验证。实验采用 Chroma 61511 可编程交流电源输出 220 V / 50 Hz 的交流电压作为模拟电网, 经过采样调理电路, 转换成约 $-1 \sim +1$ V 的交流电压信号加上 1.65 V 的直流偏置电压, 输入到 DSP 的 AD 模块, 由锁相程序计算出交流电压的同步相位。DSP 时钟为 150 MHz, AD 采样频率为 20 kHz; 算法采用定点运算, 幅值精度和相位运算精度均取 12 bit^[17]; 其中涉及的三角函数计算采用查表法实现。

实验以 PL-EPLL 为对照, 对改进型 PL-EPLL 的锁相启动波形、电网发生相位突变时的暂态波形进行测试, 结果如图 7 所示。其中, 正弦曲线为模拟电网电压输入波形, 三角波信号为锁相程序的同步相位输出 ($-\pi \sim \pi$)。0 时刻为锁相程序启动时刻, 初始相位差为 $\pi/2$; 40 ms 时刻为模拟电

网相位突变点, 相位突变值为 $\pi/2$ 。

分析表明, 锁相启动后, PL-EPLL 在约 25 ms 时刻完成锁相, 而改进型 PL-EPLL 在 10 ms 时刻已基本完成锁定。对比相位突变点之后的同步相位输出波形可知, 改进型 PL-EPLL 在相位突变的情况下, 同步相位波形的形变更小, 重新锁定的速度更快, 在大约 55 ms 时刻已基本重新锁定。

6 结论

本文对 PL-EPLL 锁相算法的改进主要包括两个方面, 一是启动性能优化, 把同步相位初始值设置为 $\pm\pi/2$, 算法在任意输入初相下启动都能选择最短的收敛路径; 二是适时进行相频解耦, 在锁相的暂态阶段以固定中心频率执行快速锁相, 进入稳态后完成精准的锁相和锁频。从理论分析、仿真分析和实验结果可以看出:

1) 采用初值优化方案的 PL-EPLL 能够充分利用其具有两个锁定状态的特点, 锁相启动速度相

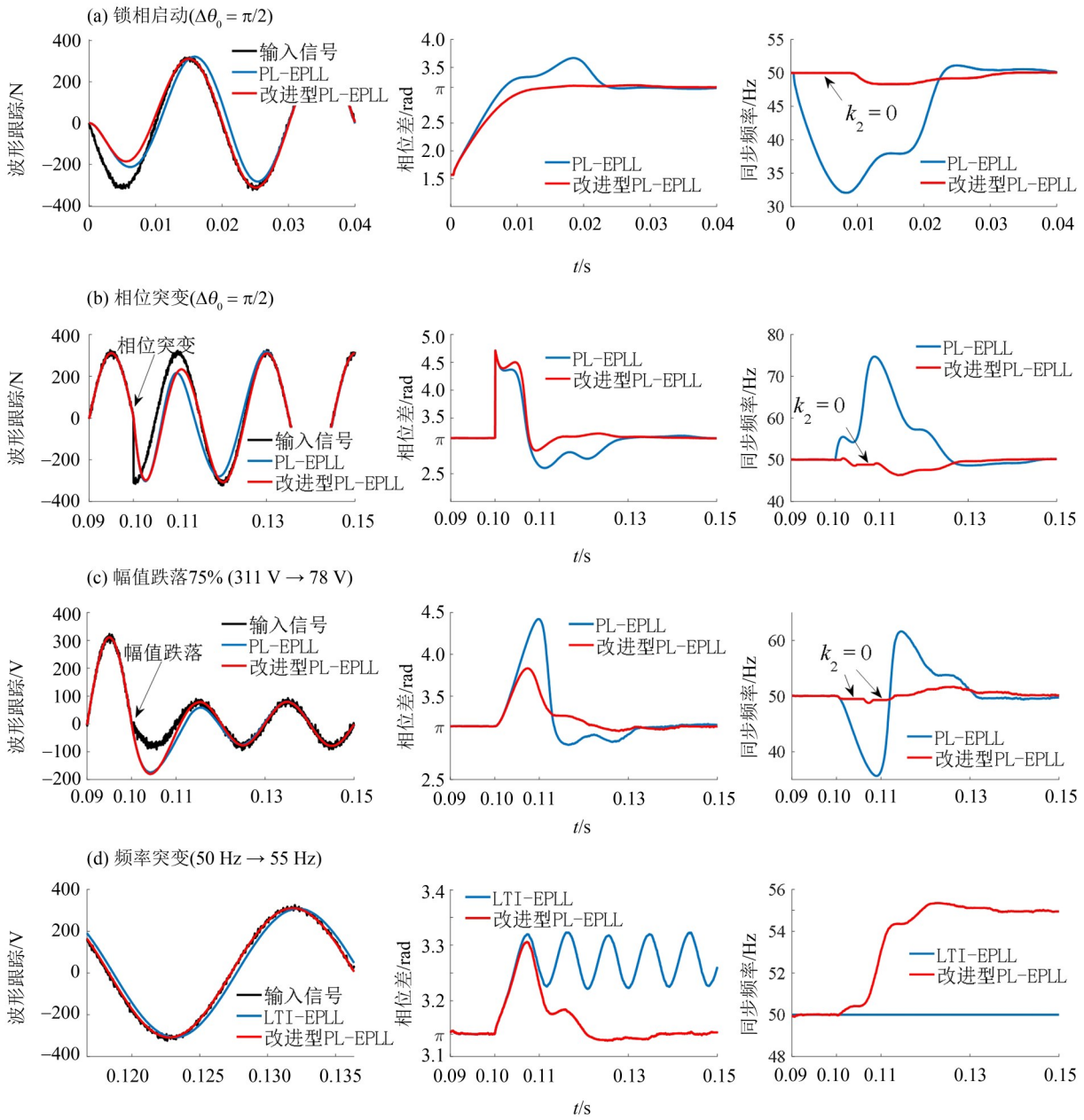


图 6 改进型 PL-EPLL 响应性能仿真测试

Fig. 6 Simulation waveforms of modified PL-EPLL under different conditions

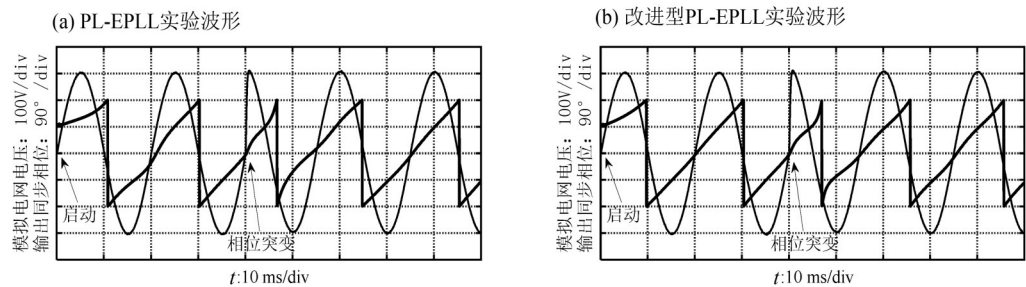


图 7 PL-EPLL 与改进型 PL-EPLL 实验结果对比

Fig. 7 Experimental waveforms of PL-EPLL and modified PL-EPLL

比常规方案提高了大约 10%;

2) 改进型 PL-EPLL 综合了 LTI-EPLL 的快速锁相能力以及 PL-EPLL 的锁频能力, 在 ± 5 Hz 的设计锁频范围内, 频率超调量减少 85.5%, 锁相响应速度提高 32.5%;

3) 改进型 PL-EPLL 可以灵活设计锁频范围, 锁频范围越窄, 锁相响应速度越快, 频率同步稳定性也越好;

4) 改进型 PL-EPLL 的所有参数均具有自适应的特点, 具有良好的可移植性, 有利于数字实现。

参考文献:

- [1] 吴恒, 阮新波, 杨东升. 弱电网条件下锁相环对 LCL 型并网逆变器稳定性的影响研究及锁相环参数设计[J]. 中国电机工程学报, 2014, 34(30): 5259-5268.
WU H, RUAN X B, YANG D S. Research on the stability caused by phase-locked loop for LCL-type grid-connected inverter in weak grid condition [J]. Proceedings of the CSEE, 2014, 34(30): 5259-5268.
- [2] 刘闯, 潘岱栋, 蔡国伟, 等. 适合低压配电网分布式发电的抗谐波干扰型增强锁相环路技术[J]. 电工技术学报, 2016, 31(10): 185-192.
LIU C, PAN D D, CAI G W, et al. Enhanced phase-locked loop technology with anti harmonic interference capability for distributed generation in low-voltage distribution [J]. Transactions of China Electrotechnical Society, 2016, 31(10): 185-192.
- [3] CIOBOTARU M, TEODORESCU R, BLAABJERG F. A new single-phase pll structure based on second order generalized integrator [C] //37th IEEE Power Electronics Specialists Conference. Jeju, South Korea: IEEE, 2006: 1-6.
- [4] 涂娟, 汤宁平. 基于改进型 DSOGI-PLL 的电网电压同步信号检测[J]. 中国电机工程学报, 2016, 36(9): 2350-2356.
TU J, TANG N P. Synchronizing signal detection for grid voltage based on modified DSOGI-PLL [J]. Proceedings of the CSEE, 2016, 36(9): 2350-2356.
- [5] 祁新梅, 沈海滨, 余文海, 等. 基于二阶广义积分单锁相环的改进及实现[J]. 电力电子技术, 2016, 50(1): 96-98.
QI X M, SHEN H B, YU W H, et al. Improvement and implementation of single phase phase-locked-loop based on second order generalized integrator [J]. Power Electronics, 2016, 50(1): 96-98.
- [6] RODRIGUEZ P, LUNA A, CIOBOTARU M, et al. Advanced grid synchronization system for power converters under unbalanced and distorted operating conditions [C] //32nd Annual Conference on IEEE Industrial Electronics. Paris, France: IEEE, 2006: 5173-5178.
- [7] RODRIGUEZ P, LUNA A, MUNOZ A S R, et al. A stationary reference frame grid synchronization system for three-phase grid-connected power converters under adverse grid conditions [J]. IEEE Transactions on Power Electronics, 2012, 27(1): 99-112.
- [8] 刘桂花, 曹小娇, 王卫. 弱电网下单相光伏并网逆变器锁频环同步方法[J]. 中国电机工程学报, 2015, 35(19): 5022-5029.
LIU G H, CAO X J, WANG W. A frequency locked loop grid synchronization method of single-phase grid-connected pv inverter under weak Grid [J]. Proceedings of the CSEE, 2015, 35(19): 5022-5029.
- [9] 杨才伟, 王剑, 游小杰, 等. 二阶广义积分器锁频环数字实现准确性对比[J]. 电工技术学报, 2019, 34(12): 2584-2596.
YANG C W, WANG J, YOU X J, et al. Accuracy comparison of digital implementation on the second-order generalized integrator frequency-locked loop [J]. Transactions of China Electrotechnical Society, 2019, 34(12): 2584-2596.
- [10] KARIMI G M, IRAVANI R M. A nonlinear adaptive filter for online signal analysis in power systems: applications [J]. IEEE Transactions on Power Delivery, 2002, 17(2): 617-622.

- [11] 徐健飞,庞浩,王赞基,等. 新型全数字锁相环的逻辑电路设计[J]. 电网技术,2006,30(13):81-84.
XU J F, PANG H, WANG Z J, et al. A logic circuit design of all digital phase-locked loop[J]. Power System Technology, 2006,30(13):81-84.
- [12] KARIMI G M. Linear and pseudolinear enhanced phased-locked loop (EPLL) structures [J]. IEEE Transactions on Industrial Electronics, 2014, 61(3): 1464-1474.
- [13] KARIMI G M, KHAJEHODDIN A S, JAIN K P, et al. Problems of startup and phase jumps in PLL systems [J]. IEEE Transactions on Power Electronics, 2012, 27(4): 1830-1838.
- [14] 李子林,傅闯,汪娟娟,等. 实现相位和频率检测解耦的快速锁相环[J]. 电力系统自动化,2019,43(5):143-154.
- [15] LI Z L, FU C, WANG J J, et al. Fast phase-locked loop to realize decoupled detection of phase and frequency [J]. Automation of Electric Power Systems, 2019, 43(5): 143-154.
- [16] 贝斯特. 锁相环设计、仿真与应用[M]. 李永明等译. 北京:清华大学出版社,2007:23-60.
- [17] 全国电压电流等级和频率标准化技术委员会. GB/T 15945-2008 电能质量 电力系统频率偏差[S]. 北京:中国标准出版社,2008.
- [17] KHAJEHODDIN A S, KARIMI G M, JAIN K P, et al. A resonant controller with high structural robustness for fixed-point digital implementations [J]. IEEE Transactions on Power Electronics, 2012, 27(7): 3352-3362.

(责任编辑 王海蓉)